بنام خدا

پروژهٔ پایان ترم درس مدار منطقی

مهلت تحویل ۱۳۹۰/۱۱/۱۲

هدف پروژه طرح و شبیه‌سازی یک زوج مدار است. بخش اول مدار به عنوان ورودی دادهٔ سریال را دریافت نموده و مطابق کد تعریف شده آن را کد می‌نماید. بخش دوم دادهٔ کد شده (سریال) را دریافت نموده و آن را دیکد می‌کند (به حالت اولیه برمی‌گرداند).

فرضهای پایهٔ مسئله شامل موارد زیر است:

- در اختیار داشتن پالس ساعت (شامل دانستن شمارهٔ پالس ساعت = پالسهای ساعت شمارهٔ زوج و فرد) در بخش ورودی و خروجی
- فرکانس دادهٔ اصلی نصف فرکانس پالس ساعت
- قرار گرفتن دادهٔ ورودی بر روی لبهٔ مثبت پالسهای ساعت زوج

نحوهٔ کد شدن داده چنین است:

- به ازای دادهٔ صفر در ورودی (داده طی ۲ پالس ساعت در ورودی ثابت می‌ماند)، خروجی کد کننده در پریود زوج معادل صفر و در پریود فرد معادل یک تولید می‌شود
- به ازای دادهٔ یک در ورودی، خروجی عکس مقدار قبلی خودش در پریود قبلی پالس ساعت (پریود فرد) را تولید نموده و آن را بمدت ۲ پالس ساعت ادامه می‌دهد.

تحویل پروژه تنها بصورت حضوری و با توضیحات شفاهی دانشجو صورت می‌پذیرد. دانشجو باید بتواند در مورد مسئلهٔ اصلی، طرح (حل) مسئله، پیاده‌سازی به زبان HDL و شبیه‌سازی در محیط نرم‌افزاری توضیح دهد. همچنین قادر به تغییر در حل و شبیه‌سازی در قبال تغییرات جزئی در مسئله باشد.